

《数字电路与系统设计基础》课程教学大纲

课程编码: DZ140380

课程名称: 数字电路与系统设计基础

英文名称: Design Basic on Digital Logic and System

适用专业: 集成电路设计与集成系统

先修课程: 高等数学、普通物理、电路分析基础、模拟电子技术基础

学 分 : 5

总学时: 80

实验(上机)学时: 16

一、课程简介

本课程是电子信息工程、计算机、通信工程以及信息控制等专业的一门理论性、工程性很强的专业基础课,也是集成电路与集成系统专业很多后续专业课程的先修课程。从学科性质上看,它综合了数字信号及数字电路的特点,系统分析了数字元器件的外部特性、逻辑功能,探讨了数字电路中典型单元电路的分析和设计方法。

通过本课程的学习,使学生掌握数字电路的基本理论、基本知识和基本技能,学会 Verilog 语言描述数字电路,进行数字电路的建模和仿真。培养学生的数字集成电路应用能力以及分析问题和解决问题的能力,为以后深入学习相关领域中的内容,以及电子技术在专业中的应用夯实基础。

This course is not only a theoretical and highly professional engineering basic course of electronic information engineering, computer, communications engineering and information control, but also a professional placement course of a lot of professional courses of integrated circuit and integrated system. From the nature of the subject, it combines the characteristics of digital signal and digital circuit, systematic analysis of the external characteristics and logic function of digital components, discusses the analysis and design method of typical unit circuits in digital circuits.

Through this course, students should master the basic theory, basic knowledge and basic skills of digital circuits, master the Verilog describe, modeling and simulation of digital circuits, develop the ability to applications of digital integrated circuits and the ability to analyze and solve problems for future in-depth study of the content related fields, as well as a solid foundation in the application of in the professional electronic technology.

二、本课程与其它课程的联系

该课程的先修课程有《高等数学》、《普通物理》、《电路分析基础》和《模拟电子技术基础》等，它们是学习本课程的基础。本课程又是后续课程《数字信号处理》、《数字系统设计实践》、《数字集成电路设计》、《数字系统组成与设计》等课程的基础。

三、课程内容及要求

第一章 绪论

主要内容：（2 学时）本章介绍数字信号与数字电路的基本概念，二进制、八进制、十进制、十六进制数及其相互转换规律，数字系统中常用的 8421BCD 编码和几种常用 BCD 编码。

基本要求：介绍本课程的性质、课程特点、学习方法等。并对数字电子技术的发展作简要介绍，激发学生学习本课程的兴趣和积极性。

重点：不同数值之间的转换、BCD 码。

难点：常用数制之间的相互转换。

第二章 逻辑函数及其简化

教学内容：（8 学时）本章介绍逻辑变量与逻辑函数及与、或、非三种基本逻辑运算的概念，逻辑代数的基本公式和常用公式，逻辑代数的基本规则和基本定理，逻辑函数及其表示方法，逻辑函数的公式化简法，逻辑函数的卡诺图化简法，具有无关项的逻辑函数及其化简以及 FPGA 开发流程和 ISE 开发工具的使用。

基本要求：逻辑代数基础是分析和设计数字逻辑电路使用的主要数学工具。本章要求掌握逻辑代数的基本定理和定律；掌握逻辑问题的描述方法；掌握逻辑函数的两种化简方法：代数化简法和卡诺图化简法。

重点：逻辑代数的基本公式、基本定理和基本定律；常用公式；逻辑函数的表示方法及其相互转换；最小项和最大项；逻辑函数的公式化简法和卡诺图化简法。

难点：逻辑函数的公式化简法和卡诺图化简法。

第三章 集成逻辑门

教学内容：（12 学时） 本章介绍晶体管、MOS 管开关特性，TTL 和 MOS 集成门电路的工作原理，TTL 和 MOS 集成门电路的逻辑功能、外部特性、主要参数和正确使用方法，集成门电路标准推拉输出、开路输出、三态输出的特点和应用，TTL 门电路和 CMOS 门电路的改进思路和典型措施，Verilog HDL 语言总体结构、层次建模的概念及基本语法概念以及 Verilog 描述逻辑门电路。

基本要求：逻辑门电路是各种数字电路及数字系统的基本逻辑单元。通过本章的学习，使学生掌握晶体管、MOS 管的开关特性；掌握 TTL 和 CMOS 集成逻辑门的基本工作原理及各类门电路的外部电气特性；掌握门电路标准推拉输出、开路输出、三态输出的特点和应用，及各类门电路的性能比较。能借助于集成电路手册，辨析集成器件性能（抗干扰能力、功耗特性、速度和负载能力）的优劣。

重点：晶体管、MOS 管开关特性；门电路的外部电气特性和正确使用方法；门电路的开路输出、三态输出的特点和应用。Verilog 描述逻辑门电路。

难点：门电路的电路结构及参数计算。

第四章 组合逻辑电路

教学内容：（16 学时）本章介绍组合逻辑电路的基本概念及特点，组合逻辑电路分析方法，组合逻辑电路设计方法，常用中规模组合逻辑器件功能及应用，组合逻辑电路中竞争—冒险现象的成因及基本消除方法，Verilog HDL 数据流建模、行为级建模、模块实例化方法以及组合逻辑电路的 Verilog 描述。

基本要求：掌握组合逻辑电路的分析和设计方法；掌握常用组合逻辑器件的逻辑功能及使用方法；理解常用组合逻辑功能器件的工作原理。通过中规模功能器件功能表的学习和应用，具有查阅集成电路产品手册的能力。

重点：组合逻辑电路分析和设计方法；常用中规模组合逻辑器件功能及应用 Verilog 语句描述组合逻辑电路。

难点：组合逻辑电路中竞争与冒险现象的判断。

第五章 集成触发器

教学内容：（12 学时）本章介绍触发器的逻辑分类、功能和基本特点，各类触发器的电路结构、工作原理和动作特点，触发器逻辑功能的描述方法（包含状态转换表、特征方程、状态图、激励表和工作波形图等），RS 触发器、JK 触发器、D 触发器、T 触发器、和 T'触发器各自的功能特点，Verilog 任务和函数介绍以及触发器的 Verilog 描述。

基本要求：触发器是时序逻辑电路的基本逻辑单元。通过本章的学习，使学生掌握各类触发器的逻辑功能及其描述方法；掌握各种触发方式的特点和脉冲工作特性；理解各类触发器的工作原理。

重点：各类触发器的逻辑功能及逻辑功能描述方法；各种触发方式的特点、脉冲工作特性，Verilog 描述触发器。

难点：触发器的电路结构。

第六章 时序逻辑电路

教学内容：（22 学时）本章介绍时序逻辑电路的基本概念，时序逻辑电路的分析方法，常用中规模时序逻辑电路的功能及应用，时序逻辑电路的设计方法，典型 MSI 时序逻辑器件上的附加控制端的功能和使用方法，多片级联使用的计数器，时序逻辑电路的 Verilog 描述和有限状态机。

基本要求：掌握时序逻辑电路的特点、分类及基本分析方法；掌握同步时序逻辑电路的设计方法；掌握常用时序功能部件计数器和移位寄存器的逻辑功能及应用。

重点：时序逻辑电路的分析，正确画出时序图（工作波形）；同步计数器的设计，时序逻辑电路的 Verilog 描述。

难点：异步时序逻辑电路的分析与设计；同步时序逻辑电路设计的一般步骤。

第七章 半导体存储器与可编程逻辑器件

教学内容：（8 学时）本章主要介绍存储器的一般结构和工作原理，各类 ROM 的存储原理、读写原理，RAM 的特点、种类和 SRAM 的结构及原理，存储单元、字、位、地址、地址单元等基本概念以及存储器容量扩展的一般方法。PLD 的基本特征、分类、每种类型的特点及发展概况，PLD 的电路表示法，用可编程逻辑器件实现各种逻辑功能电路的基本原理，可编程阵列逻辑（PAL）的工艺结构、编程特点和 GAL 器件的输出逻辑宏单元（OLMC）的结构和基本工作原理，CPLD、FPGA 等器件的基本原理、特点及设计流程。

基本要求：掌握 SAM、RAM 和 ROM 的功能和使用方法；理解 SAM、RAM 和 ROM 的工作原理；掌握可编程逻辑器件的基本结构和特点；理解可编程逻辑器件的工作原理；了解典型可编程逻辑器件的结构。

重点：SAM、RAM 和 ROM 的功能；半导体存储器容量的扩展；可编程逻辑器件的基本结构和特点。

难点：动态 CMOS 反相器、动态 CMOS 移存单元及 MOS 静态、动态存储单元的存储原理；典型可编程逻辑器件的结构和工作原理。

四、教学安排及学时分配

教学环节 及学时 主要内容	学时分配			
	讲课	习题课	实验	小计
第一章 绪论	2			2
第二章 逻辑代数与逻辑函数	6	2		8
第三章 集成逻辑门	6	2	4	12
第四章 组合逻辑电路	10	2	4	16
第五章 触发器	8	2	2	12
第六章 时序逻辑电路	14	2	6	22
第七章 半导体存储器与可编程逻辑器件	6	2		8
合计	52	12	16	80

五、实验部分教学内容和要求：（含课内实验的课程填写本部分）

序号	实验项目名称	实验内容及要求	学时	实验类型			
				演示	验证	设计	综合
1	熟悉 FPGA 开发流程，掌握 ISE 开发工具的使用，门电路的 verilog 描述	掌握 ISE 开发工具的使用，用 Verilog 语言描述基本的门电路，仿真测试并综合实现。	4	2	2		
2	组合逻辑电路的设计	用 Verilog 描述全加器、编码器、译码器、数选器、比较器等组合电路，仿真测试并综合实现，并用模块例化实现其它组合逻辑函数。	4		2	2	
3	时序逻辑电路的设计	用 Verilog 描述触发器，移位寄存器，设计计数分频电路，仿真测试并综合实现。	4			4	
4	有限状态机进行时序电路的设计	用状态机方法进行时序电路设计，用 Verilog 语言描述状态机，编写测试代码，仿真测试并综合实现。	4				4
合计			16	2	4	6	4
比例			100%	12.5%	25%	37.5%	25%

六、考核方式

考核方式为闭卷和上机实践。平时上课、作业占考试成绩的 20%，实践环节占考试成绩的 30%，理论考试占考试成绩的 50%。

七、建议教材及参考资料

建议教材：

- [1] 王毓银.《数字电路逻辑设计》(第二版).北京:高等教育出版社.
2005.12.普通高等教育“十五”国家级规划教材
- [2] 郑利浩,王荃,陈华锋译.《FPGA 数字逻辑设计教程—Verilog》.北京:
电子工业出版社 .

建议参考书：

- [1] 康华光.《电子技术基础》数字部分(第四版).北京:高等教育出版社.2000.6
- [2] 毛永毅等.《数字系统设计基础》.西安:西安电子科技大学出版社.2010.5
- [3] 刘宝琴等.《数字电路与系统》(第2版).北京:清华大学出版社,2007.3
- [4] 夏宇闻等.《Verilog HDL 数字设计与综合》(第二版).北京:电子工业出版社 .2006.2

(执笔人:徐丽琴 审核人:)